

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

14.01.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 4 年   1 月 1 9 日  
Date of Application:

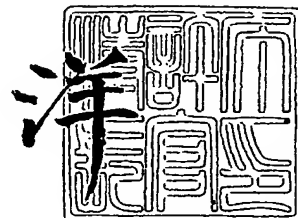
出 願 番 号            特 願 2 0 0 4 - 0 1 0 7 2 3  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 4 - 0 1 0 7 2 3 ]

出 願 人            松下電器産業株式会社  
Applicant(s):

2 0 0 5 年   2 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 2925040130  
【提出日】 平成16年 1月19日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/14  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 森 三佳  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100077931  
    【弁理士】  
    【氏名又は名称】 前田 弘  
【選任した代理人】  
    【識別番号】 100094134  
    【弁理士】  
    【氏名又は名称】 小山 廣毅  
【選任した代理人】  
    【識別番号】 100110939  
    【弁理士】  
    【氏名又は名称】 竹内 宏  
【選任した代理人】  
    【識別番号】 100113262  
    【弁理士】  
    【氏名又は名称】 竹内 祐二  
【選任した代理人】  
    【識別番号】 100115059  
    【弁理士】  
    【氏名又は名称】 今江 克実  
【選任した代理人】  
    【識別番号】 100117710  
    【弁理士】  
    【氏名又は名称】 原田 智雄  
【手数料の表示】  
    【予納台帳番号】 014409  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0217869

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、

上記半導体基板の上に、上記半導体基板のうち上記素子分離用領域に位置する部分を露出する開口を有する保護膜を形成する工程（a）と、

上記保護膜をマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域に位置する部分を除去して溝を形成する工程（b）と、

上記工程（b）の後に、上記保護膜を除去する工程（c）と、

上記工程（b）の後に、水素を含む雰囲気中で1000度以上1300度以下の温度で熱処理を行う工程（d）と

を備える、固体撮像装置の製造方法。

**【請求項 2】**

請求項 1 に記載の固体撮像装置の製造方法であって、

上記工程（d）では、上記熱処理を行うことにより、上記溝の上部が上記半導体基板を構成する半導体材料により覆われて半導体膜が形成され、

上記工程（d）の後に、上記半導体膜に、上記素子形成領域とは異なる導電型の不純物を注入する工程（e）をさらに備える、固体撮像装置の製造方法。

**【請求項 3】**

請求項 1 に記載の固体撮像装置の製造方法であって、

上記工程（d）では、上記熱処理を行うことにより、上記溝の上部が上記半導体基板を構成する半導体材料により覆われて半導体膜が形成され、

上記工程（d）の後に、上記半導体膜を酸化する工程（f）をさらに備える、固体撮像装置の製造方法。

**【請求項 4】**

請求項 1～3 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記工程（b）の後に上記工程（d）の前に、上記半導体基板のうち上記溝の側面に位置する部分を熱酸化する工程（g）をさらに備える、固体撮像装置の製造方法。

**【請求項 5】**

請求項 1～3 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記工程（b）の後に上記工程（d）の前に、上記溝の側面上に絶縁膜を形成する工程（h）をさらに備える、固体撮像装置の製造方法。

**【請求項 6】**

請求項 1～5 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記半導体基板のうち上記素子形成用領域に位置する部分には、n 型不純物が含まれており、

上記工程（b）の後に上記工程（d）の前に、上記半導体基板のうち上記溝の表面に位置する部分に p 型のイオンを注入する工程（i）をさらに備える、固体撮像装置の製造方法。

**【請求項 7】**

請求項 1～6 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、

上記周辺回路領域における素子分離用領域は、上記撮像領域における上記素子分離用領域と同じ工程で形成される、固体撮像領域の製造方法。

**【請求項 8】**

請求項 7 に記載の固体撮像装置の製造方法であって、

上記周辺回路には、N 型 MOS トランジスタのみを形成するか、P 型 MOS トランジスタのみを形成するか、または CMOS トランジスタを形成する、固体撮像装置の製造方法

## 【請求項 9】

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、

上記半導体基板の上に、上記半導体基板のうち上記素子分離用領域に位置する部分を露出する開口を有する保護膜を形成する工程 (a) と、

上記保護膜をマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域に位置する部分を除去して、深さが幅の 2 倍以上である溝を形成する工程 (b) と、

上記工程 (b) の後に、CVD 法により、上記溝を埋める TEOS 膜を形成する工程 (c) と

を備える、固体撮像装置の製造方法。

## 【請求項 10】

請求項 9 に記載の固体撮像装置の製造方法であって、

上記工程 (b) の後で上記工程 (c) の前に、上記半導体基板のうち上記溝の側面に位置する部分を熱酸化する工程 (d) をさらに備える、固体撮像装置の製造方法。

## 【請求項 11】

請求項 9 に記載の固体撮像装置の製造方法であって、

上記工程 (b) の後で上記工程 (c) の前に、上記溝の側面上に絶縁膜を形成する工程 (e) をさらに備える、固体撮像装置の製造方法。

## 【請求項 12】

請求項 9 ～ 11 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記半導体基板のうち上記素子形成用領域に位置する部分は、n 型不純物が含まれており、

上記工程 (b) の後で上記工程 (c) の前に、上記半導体基板のうち上記溝の表面に位置する部分に p 型のイオンを注入する工程 (f) をさらに備える、固体撮像装置の製造方法。

## 【請求項 13】

請求項 9 ～ 12 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、

上記周辺回路領域における素子分離用領域は、上記撮像領域における上記素子分離用領域と同じ工程で形成される、固体撮像領域の製造方法。

## 【請求項 14】

請求項 13 に記載の固体撮像装置の製造方法であって、

上記周辺回路には、N 型 MOS トランジスタのみを形成するか、P 型 MOS トランジスタのみを形成するか、または CMOS トランジスタを形成する、固体撮像装置の製造方法。

## 【請求項 15】

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成領域と、上記複数の素子形成用領域の間に位置する素子分離領域とが設けられる固体撮像装置であって、

上記素子分離用領域には、上記半導体基板の上部に位置する溝と、上記溝の少なくとも上部を覆い、上記複数の素子形成用領域の間を電氣的に絶縁する素子分離用膜と、上記溝内の一部に設けられた空洞とが設けられている、固体撮像装置。

## 【請求項 16】

請求項 15 に記載の固体撮像装置であって、

上記素子分離用膜は、上記空洞の上を覆い、p 型不純物を含む膜である、固体撮像装置。

## 【請求項 1 7】

請求項 1 5 に記載の固体撮像装置であって、  
上記素子分離用膜は、上記空洞の上を覆うシリコン酸化膜である、固体撮像装置。

## 【請求項 1 8】

請求項 1 5 に記載の固体撮像装置であって、  
上記素子分離用膜は、上記溝を埋める T E O S 膜であって、  
上記空洞は、上記 T E O S 膜内の一部に設けられている、固体撮像装置。

## 【請求項 1 9】

請求項 1 5 ～ 1 8 のうちいずれか 1 項に記載の固体撮像装置を用いるカメラ。

## 【書類名】明細書

【発明の名称】固体撮像装置とその製造方法および固体撮像装置を用いたカメラ

## 【技術分野】

## 【0001】

本発明は、固体撮像装置とその製造方法および固体撮像装置を用いたカメラに関し、特に、半導体基板上に複数の画素を有する撮像領域が設けられた固体撮像装置とその製造方法およびカメラに関する。

## 【背景技術】

## 【0002】

MOS型の固体撮像装置は、各画素に供給される信号を、MOSトランジスタを含む増幅回路によって増幅して読み出すイメージセンサである。固体撮像装置のうちCMOSプロセスで製造されるいわゆるCMOSイメージセンサは、低電圧、低消費電力であり、周辺回路とワン・チップ化ができるという長所を有している。そのため、近年では、CMOSイメージセンサがPC用小型カメラなどの携帯機器の画像入力素子として注目されている。

## 【0003】

図4は、固体撮像装置の構成の一例を示す回路図である。この固体撮像装置は、複数の画素26がマトリックス状に配列された撮像領域27と、画素を選択するための垂直シフトレジスタ28および水平シフトレジスタ29と、水平シフトレジスタ29および垂直シフトレジスタ28に必要なパルスを供給するタイミング発生回路30とを同一の基板上に備えている。

## 【0004】

撮像領域27内に配置する各画素26では、フォトダイオードからなる光電変換部21と、ソースが光電変換部21に接続され、ドレインが増幅用トランジスタ24のゲートに接続され、ゲートが垂直シフトレジスタ28からの出力パルス線31に接続された転送用トランジスタ22と、ソースが転送用トランジスタ22のドレインに接続され、ゲートが垂直シフトレジスタ28からの出力パルス線32に接続され、ドレインが電源33に接続されるリセット用トランジスタ23と、ドレインが電源33に接続され、ゲートが転送用トランジスタ22のドレインおよびリセット用トランジスタ23のソースに接続される増幅用トランジスタ24と、ドレインが増幅用トランジスタ24のソースに接続され、ゲートが垂直シフトレジスタ28からの出力パルス線34に接続され、ソースが信号線35に接続される選択用トランジスタ25とが設けられている。

## 【0005】

撮像領域27において、素子分離用領域にLOCOSやSTI (Shallow Trench Isolation) を形成した場合には、窒化膜等の膜ストレスや長時間にわたる高温の熱処理工程によって欠陥が発生しやすい。この欠陥は暗電流や白キズの発生原因となる。さらに、LOCOSを形成した場合には、バースピーク幅が長くなるため撮像領域27の微細化が困難となる。また、STIを形成した場合には、埋め込み酸化膜による応力が発生してしまう。

## 【0006】

このような問題を解決する方法として、特許文献1に記載された従来技術がある。この従来技術について、図5(a)～(f)を参照しながら説明する。図5(a)～(f)は、従来の撮像素子において、素子分離用領域の製造工程を示す断面図である。

## 【0007】

まず、図5(a)に示す工程で、半導体基板51の上部を熱酸化することにより、厚さ0.1 $\mu$ mのゲート絶縁膜52を形成する。次に、ゲート絶縁膜52の上からイオン注入を行うことにより、半導体基板51の上部に、素子分離領域53、光電変換部54およびドレイン領域55を形成する。ここで、光電変換部54およびドレイン領域55としてn型の不純物をイオン注入する場合には、素子分離領域53としてp型の不純物をイオン注入する。

## 【0008】

次に、図5(b)に示す工程で、ゲート絶縁膜52の上に厚さ約 $0.3\mu\text{m}$ のCVD酸化膜56を堆積する。

## 【0009】

次に、図5(c)に示す工程で、CVD酸化膜56の上に、ゲート電極を形成する領域に開口を有するレジスト(図示せず)を形成する。そのレジストをマスクとしてRIE(Reactive Ion Etching)法によりエッチングを行うことにより、CVD酸化膜56を貫通する溝57を形成する。

## 【0010】

次に、図5(d)に示す工程で、溝57(図5(c)に示す)を埋めるポリシリコン膜58を形成する。

## 【0011】

次に、図5(e)に示す工程で、ポリシリコン膜58の上に、溝57よりも大きな内径を有する溝を有するレジスト(図示せず)を形成する。そして、そのレジストをマスクとしてポリシリコン膜58(図5(d)に示す)に対してRIEを行うことにより、ゲート電極を含む配線パターン58aを形成する。

## 【0012】

次に、図5(f)に示す工程で、ゲート絶縁膜52および配線パターン58aの上に $\text{SiO}_2$ 等の層間絶縁膜59を堆積する。そして、RIE法により層間絶縁膜59を貫通してドレイン領域55に到達する溝を形成し、溝を導体で埋めることにより、信号線60を形成する。

【特許文献1】特開平10-373818号公報

【特許文献2】特開2000-196057号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0013】

しかしながら、上述した従来の固体撮像装置の製造方法では、以下のような不具合が生じていた。

## 【0014】

上述したようにイオン注入により素子分離領域53の注入層を形成した場合には、素子分離用領域としての分離能力を十分に確保するためにチャンネルストップ注入層の幅を広くする必要がある。しかしながら、素子分離領域53の幅を広くするのは、固体撮像装置の微細化の要請に反する。

## 【0015】

一方、チャンネルストップ注入層の幅を狭くして不純物の注入量を多くすることにより分離能力を確保すると、光電変換部54と素子分離領域53とのPN接合のリークが増加してしまう。これは、暗電流及び白キズの増加につながってしまう。

## 【0016】

本発明の目的は、素子分離用領域の分離能力を確保しつつ微細化が可能であり、低暗電流および白キズ数の低減を実現できる固体撮像装置とその製造方法および固体撮像装置を用いたカメラを提供することにある。

## 【課題を解決するための手段】

## 【0017】

本発明の第1の固体撮像装置の製造方法は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、上記半導体基板の上に、上記半導体基板のうち上記素子分離用領域に位置する部分を露出する開口を有する保護膜を形成する工程(a)と、上記保護膜をマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域に位置する部分を除去して溝を形成する工程(b)と、上記工程(b)の後に、上記保護膜を除去する工程(c)と

、上記工程 (b) の後に、水素を含む雰囲気中で 1000 度以上 1300 度以下の温度で熱処理を行う工程 (d) とを備える。

【0018】

これにより、工程 (d) では、溝の下部に空洞を残した状態で、半導体基板を構成する半導体材料によって溝の上部が覆われる。素子分離用領域内に空洞が残っていることにより、たとえ高温の熱処理等を行っても、応力の発生を抑制することができる。そして、応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。

【0019】

上記工程 (d) の後に、上記半導体膜に、上記素子形成領域とは異なる導電型の不純物を注入する工程 (e) をさらに備えていてもよい。この場合には、半導体膜によって複数の素子形成用領域が互いに電気的に分離されるため、十分な素子分離耐圧を確保することができる。

【0020】

あるいは、上記工程 (d) の後に、上記半導体膜を酸化する工程 (f) をさらに備えていてもよい。この場合には、半導体膜が絶縁膜となるため、複数の素子形成用領域が互いに電気的に分離されるため、十分な素子分離耐圧を確保することができる。

【0021】

上記工程 (b) の後で上記工程 (d) の前に、上記半導体基板のうち上記溝の側面に位置する部分を熱酸化する工程 (g) をさらに備えていてもよい。この場合には、溝を形成する際に発生するダメージを修復することができるため、界面準位が原因となって生じるリーク電流を削減することができる。

【0022】

あるいは、上記工程 (b) の後で上記工程 (d) の前に、上記溝の側面上に絶縁膜を形成する工程 (h) をさらに備えていてもよい。この場合には、溝を形成する際に溝の側面上に生じたダメージを覆うことができるため、界面準位が原因となって生じるリーク電流を削減することができる。

【0023】

上記半導体基板のうち上記素子形成用領域に位置する部分には、n 型不純物が含まれており、上記工程 (b) の後で上記工程 (d) の前に、上記半導体基板のうち上記溝の表面に位置する部分に p 型のイオンを注入する工程 (i) をさらに備えていてもよい。この場合には、分離耐圧を向上させることができる。

【0024】

上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、上記周辺回路領域における素子分離用領域は、上記撮像領域における上記素子分離用領域と同じ工程で形成されていてもよく、この場合には、工程の簡略化が可能となる。

【0025】

上記周辺回路には、N 型 MOS トランジスタのみを形成するか、P 型 MOS トランジスタのみを形成するか、または CMOS トランジスタを形成してもよく、この場合には、注入工程数が少なくなることにより工程の簡略化が可能となる。

【0026】

本発明の第 2 の固体撮像装置の製造方法は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、上記半導体基板の上に、上記半導体基板のうち上記素子分離用領域に位置する部分を露出する開口を有する保護膜を形成する工程 (a) と、上記保護膜をマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域に位置する部分を除去して、深さが幅の 2 倍以上である溝を形成する工程 (b) と、上記工程 (b) の後に、CVD 法により、上記溝を埋める TEOS 膜を形成する工程 (c) とを備える。



## 【0027】

これにより、工程(c)では、TEOS膜内の一部に空洞が生じやすくなる。空洞が生じた場合には、TEOS膜が半導体基板に与える応力を低減することができる。応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。同時に、TEOS膜および空洞により、十分な素子分離耐圧を確保できる。

## 【0028】

上記工程(b)の後で上記工程(c)の前に、上記半導体基板のうち上記溝の側面に位置する部分を熱酸化する工程(d)をさらに備えていてもよい。この場合には、溝を形成する際に発生するダメージを修復することができるため、界面準位が原因となって生じるリーク電流を削減することができる。

## 【0029】

あるいは、上記工程(b)の後で上記工程(c)の前に、上記溝の側面上に絶縁膜を形成する工程(e)をさらに備えていてもよい。この場合には、溝を形成する際に生じたダメージを有する溝の表面上を覆うことができるため、界面準位が原因となって生じるリーク電流を削減することができる。

## 【0030】

上記半導体基板のうち上記素子形成用領域に位置する部分は、n型不純物が含まれており、上記工程(b)の後で上記工程(c)の前に、上記半導体基板のうち上記溝の表面に位置する部分にp型のイオンを注入する工程(f)をさらに備えていてもよい。この場合には、分離耐圧を向上させることができる。

## 【0031】

上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、上記周辺回路領域における素子分離用領域は、上記撮像領域における上記素子分離用領域と同じ工程で形成されてもよく、この場合には、工程の簡略化が可能である。

## 【0032】

上記周辺回路には、N型MOSトランジスタのみを形成するか、P型MOSトランジスタのみを形成するか、またはCMOSトランジスタを形成してもよく、この場合には、注入工程数が少なくなることにより工程の簡略化が可能となる。

## 【0033】

本発明の固体撮像装置は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成領域と、上記複数の素子形成領域の間に位置する素子分離領域とが設けられる固体撮像装置であって、上記素子分離用領域には、上記半導体基板の上部に位置する溝と、上記溝の少なくとも上部を覆い、上記複数の素子形成領域の間を電気的に絶縁する素子分離用膜と、上記溝内の一部に設けられた空洞とが設けられている。

## 【0034】

このように空洞を有する素子分離用領域では、素子分離用領域から半導体基板に及ぼされる応力が低減される。応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。同時に、素子分離用膜および空洞により、十分な素子分離耐圧を確保できる。

## 【0035】

上記素子分離用膜が、上記空洞の上を覆い、p型不純物を含む膜である場合には、素子分離用膜によって複数の素子形成領域が互いに電気的に分離されるため、十分な素子分離耐圧を確保することができる。

## 【0036】

上記素子分離用膜が、上記空洞の上を覆うシリコン酸化膜である場合には、絶縁膜であるシリコン酸化膜によって複数の素子形成領域が互いに電気的に分離されるため、十分な素子分離耐圧を確保することができる。

## 【0037】

上記素子分離用膜は、上記溝を埋めるTEOS膜であって、上記空洞は、上記TEOS膜内の一部に設けられている場合には、絶縁膜であるTEOS膜によって複数の素子形成領域が互いに電氣的に分離されるため、十分な素子分離耐圧を確保することができる。

【0038】

なお、上述したような固体撮像装置をカメラに用いると、高解像度を実現することができる。

【発明の効果】

【0039】

本発明では、素子分離領域内に空洞を形成することにより、十分な素子分離耐圧を確保しつつ、熱処理による応力を低減させることができる。そして、応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。

【発明を実施するための最良の形態】

【0040】

以下に、本発明の実施の形態に係る固体撮像装置について、図面を参照しながら説明する。なお、以下の実施形態では、本発明を、フォトダイオード同士の間の素子分離領域や、フォトダイオードと活性領域との間の素子分離領域に適用する場合について説明する。なお、以下の実施形態では、ゲート長 $0.3\mu\text{m}$ 以下のCMOSプロセスに用いる素子分離を想定して説明を行う。

【0041】

(第1の実施形態)

図1(a)～(e)は、第1の実施形態における固体撮像装置の製造工程のうち素子分離領域を形成する工程を示す断面図である。

【0042】

本実施形態の固体撮像装置の製造方法では、まず、図1(a)に示す工程で、シリコン基板1の上に、厚さ $1\sim 50\text{nm}$ 程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ $50\sim 400\text{nm}$ のシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。

【0043】

その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通してシリコン基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、 $0.2\mu\text{m}$ 程度に設定する。

【0044】

次に、図1(b)に示す工程で、耐酸化性膜3をマスクにしてシリコン基板1を選択的にエッチングすることにより、シリコン基板1にトレンチ5を形成する。このとき、シリコン基板1を $50\sim 500\text{nm}$ 程度の深さまで除去する。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー $2.5\text{KeV}\sim 50\text{KeV}$ 、ドーズ量 $1\times 10^{11}/\text{cm}^2\sim 1\times 10^{15}/\text{cm}^2$ の条件で注入する。この条件を、界面準位間を伝わって暗電流を引き起こす電子を束縛できるように調整することにより、分離耐圧を向上させることができる。

【0045】

次に、図1(c)に示す工程で、シリコン基板1のうちトレンチ5の側壁に位置する部分を熱酸化することにより、内壁絶縁膜6を形成する。この内壁酸化膜6を形成することにより、トレンチ5を形成する際に発生するダメージを修復することができるため、界面準位が原因となって生じるリーク電流を削減することができる。その後、エッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを除去する。

【0046】

なお、内壁絶縁膜6を、熱酸化によって形成するかわりに、CVD法等によって形成してもよい。また、内壁絶縁膜6を、複数層の絶縁膜から形成してもよい。この場合には、トレンチ5を形成する際にトレンチ5の側面上に生じたダメージを覆うことができる。

## 【0047】

次に、図1(d)に示す工程で、1000℃～1200℃の水素雰囲気中で熱処理を行う。この条件で熱処理を行うと、シリコン原子が熱拡散し、トレンチ5の内部に空洞7が形成された状態でトレンチ5の上部がシリコン8により覆われる。

## 【0048】

次に、図1(e)に示す工程で、シリコン基板1のうち素子分離領域に位置する部分の上部にp型イオンを注入することにより、注入層9を形成する。このとき、素子分離の分離耐圧を増加させることができるような濃度に調整する必要がある。本実施形態では、B原子を、ドーズ量 $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ 、注入エネルギー3 keV～30 keVの条件で注入している。ここで、必要な分離耐圧は、その素子分離がどの素子間を分離するかによって異なる。つまり、フォトダイオード同士の間における素子分離、フォトダイオードと活性領域との間の素子分離、活性領域同士の間における素子分離のそれぞれにおいて、注入の条件を調整する。

## 【0049】

その後、シリコン基板1のうち所望の領域にイオン注入を行うことにより、光電変換領域10および活性領域11を形成する。続いて、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上の工程により、本実施形態の工程が終了する。

## 【0050】

本実施形態では、シリコン基板1内に、空洞7を形成することにより異種材料を埋め込まずに素子分離領域を形成できるため、熱処理による応力を低減させることができる。そして、応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。同時に、内壁絶縁膜6、空洞7および注入層9により、十分な素子分離耐圧を確保できる。

## 【0051】

従来のSTIを有する撮像素子では白キズ数が約10000個も発生するのに対して、本実施形態の撮像素子では白キズ数が約100個になる。なお、この比較は、100万画素の撮像素子を10 mV以上の出力で動作させて測定した値をもとに行った。

## 【0052】

(第2の実施形態)

図2(a)～(e)は、第2の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

## 【0053】

本実施形態の固体撮像装置の製造方法では、まず、図2(a)に示す工程で、シリコン基板1の上に、厚さ1～50 nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ50～400 nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。

## 【0054】

その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通してシリコン基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、0.2 μm程度に設定する。

## 【0055】

次に、図2(b)に示す工程で、耐酸化性膜3をマスクにしてシリコン基板1を選択的にエッチングすることにより、シリコン基板1にトレンチ5を形成する。このとき、シリコン基板1を、50～500 nm程度の深さまで除去する。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー2.5 KeV～50 KeV、ドーズ量 $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ の条件で注入する。この条件は、界面準位間を伝わって暗電流を引き起こす電子を束縛できるように調整する。

## 【0056】

次に、図2(c)に示す工程で、トレンチ5の側壁を熱酸化し、内壁絶縁膜6を形成して、パッド絶縁膜2と耐酸化性膜3をエッチングにより除去する。

## 【0057】

次に、図2(d)に示す工程で、1000℃～1200℃の水素雰囲気中で熱処理を行う。これにより、シリコン基板1表面は、シリコン原子が熱拡散することにより、空洞7が素子分離領域内部に形成する。

## 【0058】

そして、次に、図2(e)に示す工程で、シリコン基板1のうち素子分離領域に位置する部分の上部を熱酸化することにより、酸化層12を形成する。これにより、分離耐圧を増加することができる。

## 【0059】

その後、シリコン基板1のうち所望の領域にイオン注入を行うことにより、光電変換領域10および活性領域11を形成する。続いて、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上の工程により、本実施形態の工程が終了する。

## 【0060】

以下に、本実施形態で得られる効果について説明する。

## 【0061】

本実施形態では、シリコン基板1内に、空洞7を形成することにより異種材料を埋め込まずに素子分離領域を形成できるため、熱処理による応力を低減させることができる。そして、応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。同時に、内壁絶縁膜6、空洞7および酸化層12により、十分な素子分離耐圧を確保できる。

## 【0062】

従来のSTIを有する撮像素子では白キズ数が約10000個も発生するのに対して、本実施形態の撮像素子では白キズ数が約100個になる。なお、この比較は、100万画素の撮像素子を10mV以上の出力で動作させて測定した値をもとに行った。

## 【0063】

(第3の実施形態)

図3(a)～(e)は、第3の実施形態における固体撮像装置の製造工程のうち素子分離領域を形成する工程を示す断面図である。

## 【0064】

本実施形態の固体撮像装置の製造方法では、まず、図3(a)に示す工程で、シリコン基板1の上に、厚さ1～50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ50～400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。

## 【0065】

その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通してシリコン基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、0.2μm程度に設定する。

## 【0066】

次に、図3(b)に示す工程で、耐酸化性膜3をマスクにしてシリコン基板1を選択的にエッチングすることにより、シリコン基板1にトレンチ5を形成する。このとき、シリコン基板1を50～500nm程度の深さまで除去する。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー2.5KeV～50KeV、ドーズ量 $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ の条件で注入する。この条件は、界面準位間を伝わって暗電流を引き起こす電子を束縛できるように調整する。

## 【0067】

次に、図3(c)に示す工程で、シリコン基板1のうちトレンチ5の側壁に位置する部分を熱酸化することにより内壁絶縁膜6を形成する。なお、内壁絶縁膜6を、熱酸化によって形成するかわりに、CVD法等によって形成してもよい。また、内壁絶縁膜6を、複数層の絶縁膜から形成してもよい。その後、シリコン基板1の上に、開口4内およびトレンチ5内を埋め、耐酸化性膜3の上を覆うTEOS (Tetra Ethyl Oxosilane) 膜14を形成する。

## 【0068】

次に、図3(d)に示す工程で、CMP法によって研磨を行うことにより、TEOS膜14のうち開口4の途中の深さまでを除去する。

## 【0069】

次に、図3(e)に示す工程で、エッチングにより、耐酸化性膜3とパッド絶縁膜2のうちの上部とを除去する。これにより、TEOS膜14の高さは、シリコン基板1における素子形成領域の上面よりも高くなる。その後、シリコン基板1のうち所望の領域にイオン注入を行うことにより、光電変換領域10および活性領域11を形成する。続いて、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上の工程により、本実施形態の工程が終了する。

## 【0070】

以下に、本実施形態で得られる効果について説明する。

## 【0071】

本実施形態では、素子分離内に空洞15を形成するので、素子分離のTEOS膜14がシリコン基板1に与える応力を低減することができる。応力を低減することにより欠陥の発生が抑制され、低暗電流および白キズの発生を抑制することができる。同時に、内壁絶縁膜6、TEOS膜14、空洞15により、十分な素子分離耐圧を確保できる。なお、トレンチ5の深さを幅の2倍以上にした場合には、空洞15が形成されやすくなる。

## 【0072】

従来のSTIを有する撮像素子では白キズ数が約10000個も発生するのに対して、本実施形態の撮像素子では白キズ数が約2000個になる。なお、この比較は、100万画素の撮像素子を10mV以上の出力で動作させて測定した値をもとに行った。また、空洞15を形成することにより、素子分離を介して隣接する素子同士のソース領域からドレイン領域にも電流が流れにくくなるため、寄生MOSトランジスタ特性も10V以上に確保することができる。

## 【0073】

(その他の実施形態)

なお、上述の実施形態では、本発明の素子分離を、図4に示す各画素26中の素子分離に適用した。しかしながら、本発明の素子分離を、垂直シフトレジスタ28、水平シフトレジスタ29およびタイミング発生回路30等の周辺回路における素子分離にも適用することができる。その場合には、素子分離を形成する工程の短縮が可能となる。

## 【0074】

また、図4に示す撮像領域27におけるMOSFETは全てn型である。そのため、周辺回路をN型MOSFETのみで設計すると、注入工程を削減することができ工程の短縮化が可能である。

## 【0075】

また、周辺回路にCMOSトランジスタを用いた場合には、電荷読み出しをさらに高速化することができる。

## 【0076】

また、本発明における固体撮像装置をカメラに組み込むことにより、高解像度の撮像が可能となる。

## 【0077】

なお、上述の実施形態では、シリコン基板に撮像素子を形成する場合について説明したが、本発明では、GaAs等からなる半導体基板に撮像素子を形成する場合にも適用することができる。

【産業上の利用可能性】

【0078】

本発明に係わる固体撮像装置及び製造方法は、フォトダイオード間、フォトダイオードと活性領域間の素子分離領域形成において用いることができ、応力の発生を抑制できることから低暗電流及び白キズ数削減が可能である点で、イメージセンサデバイスとして特に有用である。

【図面の簡単な説明】

【0079】

【図1】(a)～(e)は、第1の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

【図2】(a)～(e)は、第2の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

【図3】(a)～(e)は、第3の実施形態における固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

【図4】固体撮像装置の構成の一例を示す回路図である。

【図5】(a)～(f)は、従来の撮像素子において、素子分離用領域の製造工程を示す断面図である。

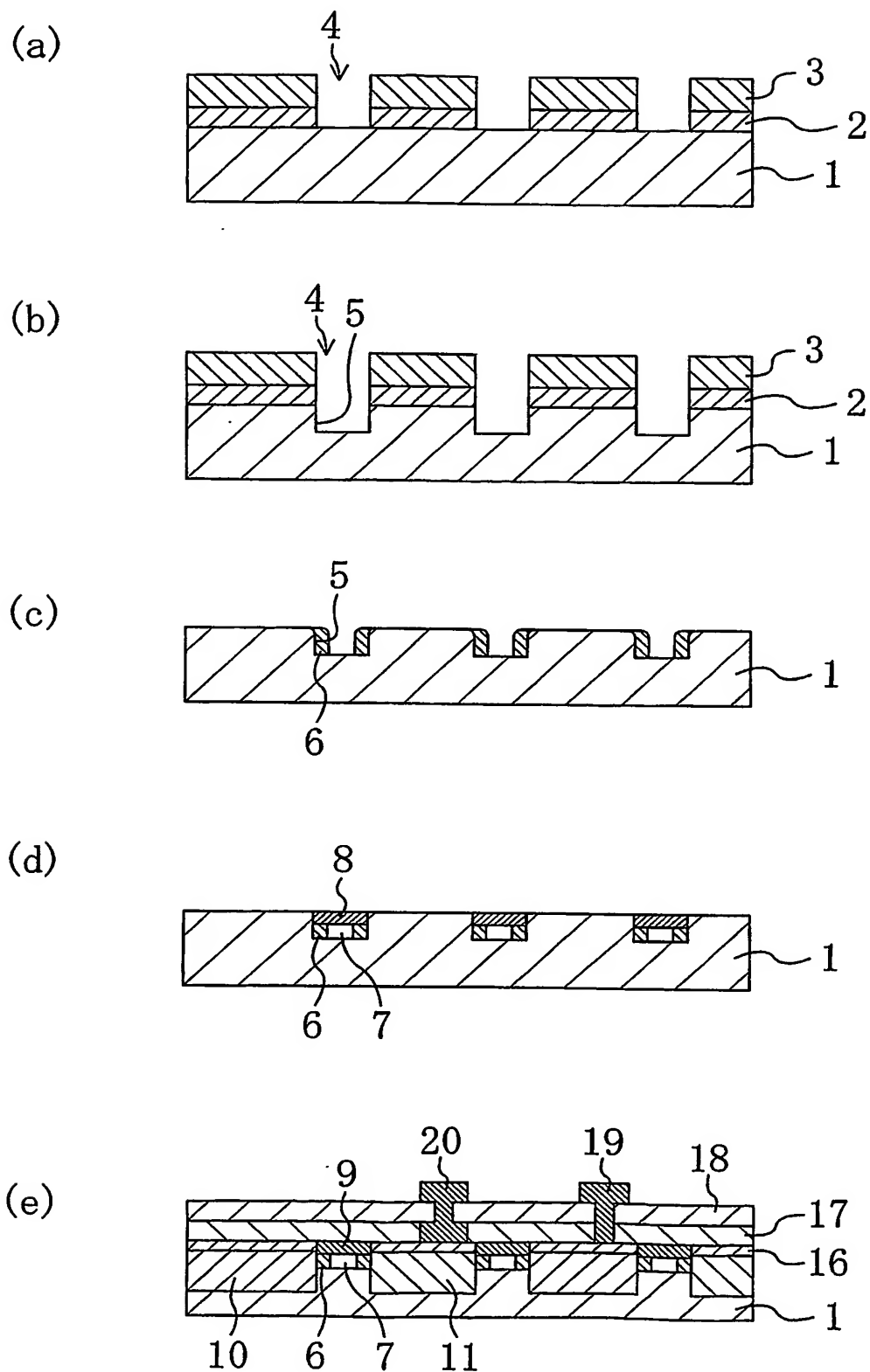
【符号の説明】

【0080】

1	シリコン基板
2	パッド絶縁膜
3	耐酸化性膜
4	開口
5	トレンチ
6	内壁絶縁膜
7	空洞
8	シリコン
9	注入層
10	光電変換領域
11	活性領域
12	酸化層
14	TEOS膜
15	空洞
16	ゲート絶縁膜
17	CVD酸化膜
18	層間絶縁膜
19	信号線
20	配線パターン
21	光電変換部
22	転送用トランジスタ
23	リセット用トランジスタ
24	増幅用トランジスタ
25	選択用トランジスタ
26	画素
27	撮像領域
28	垂直シフトレジスタ
29	水平シフトレジスタ

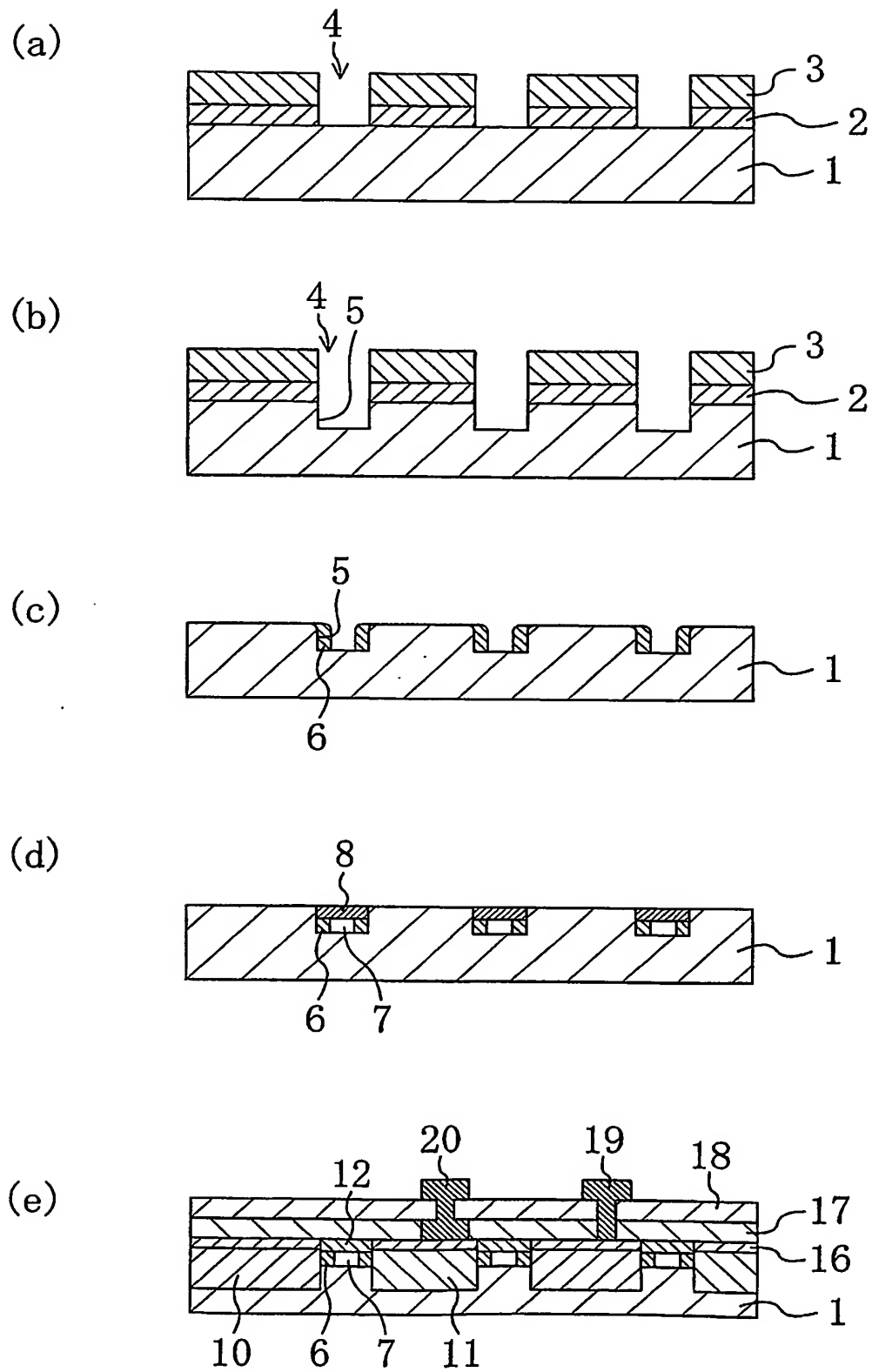
3 0 タイミング発生回路  
3 1 出力パルス線  
3 2 出力パルス線  
3 3 電源  
3 4 出力パルス線  
3 5 信号線

【書類名】 図面  
【図 1】

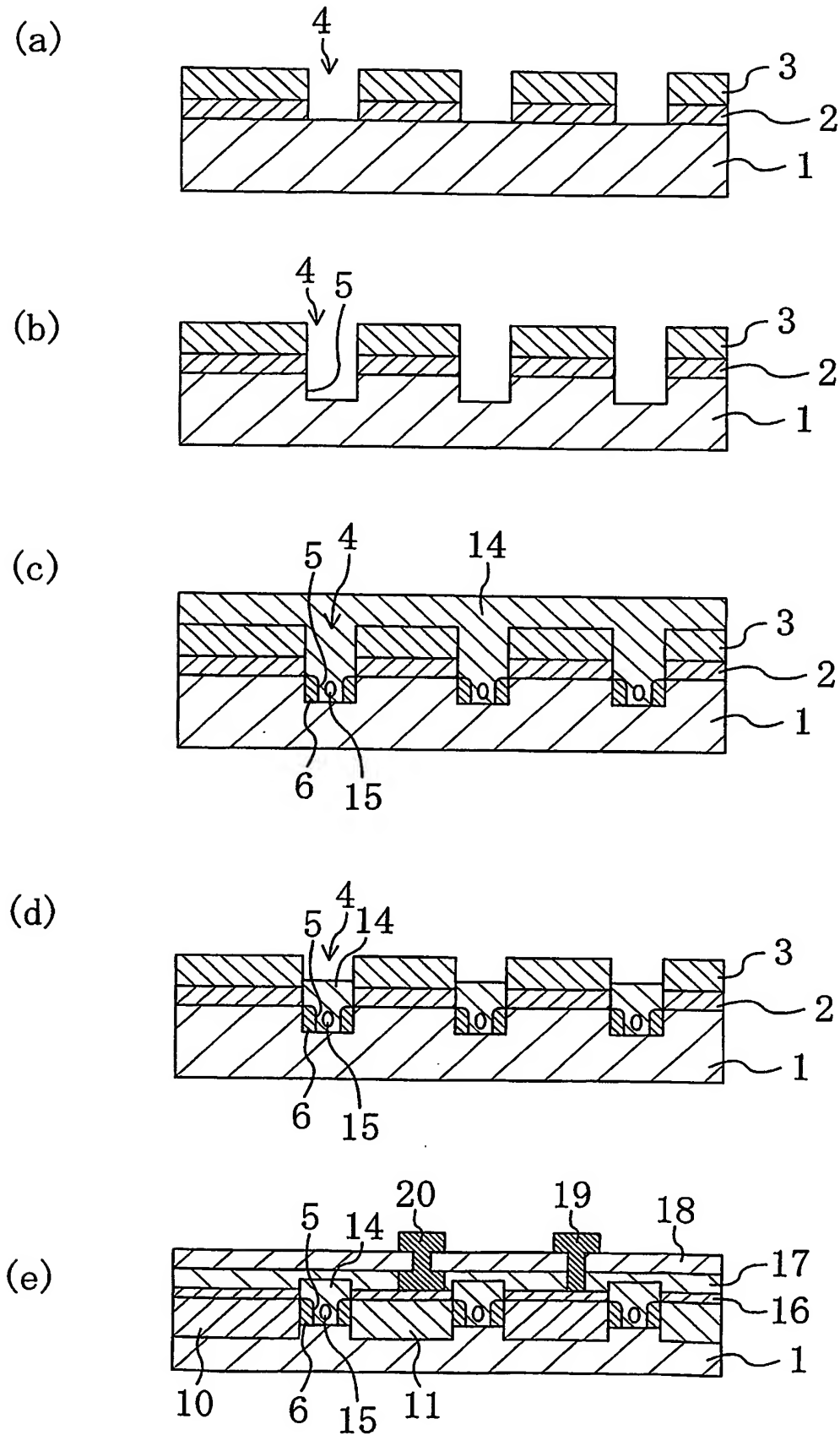




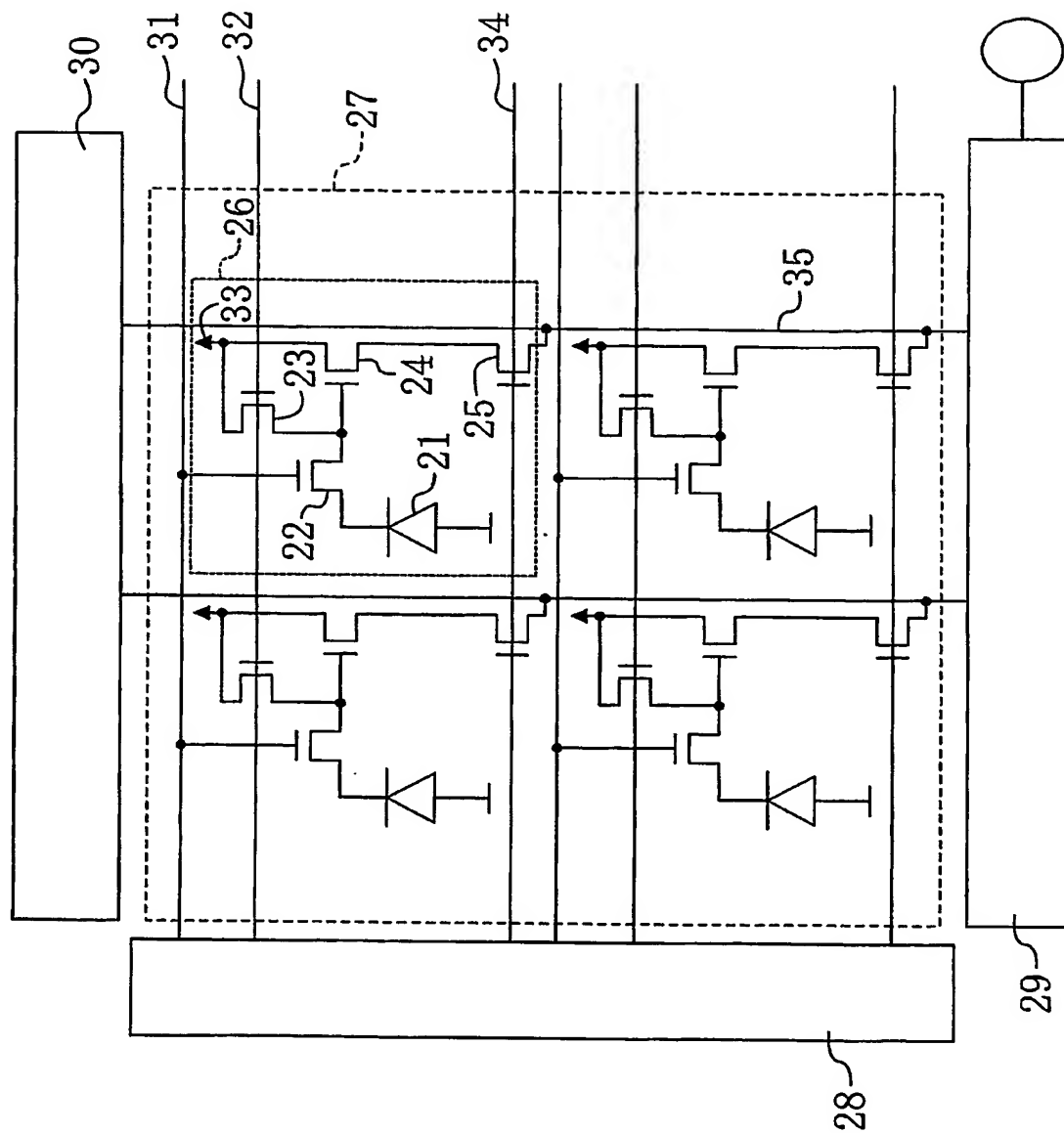
【図 2】



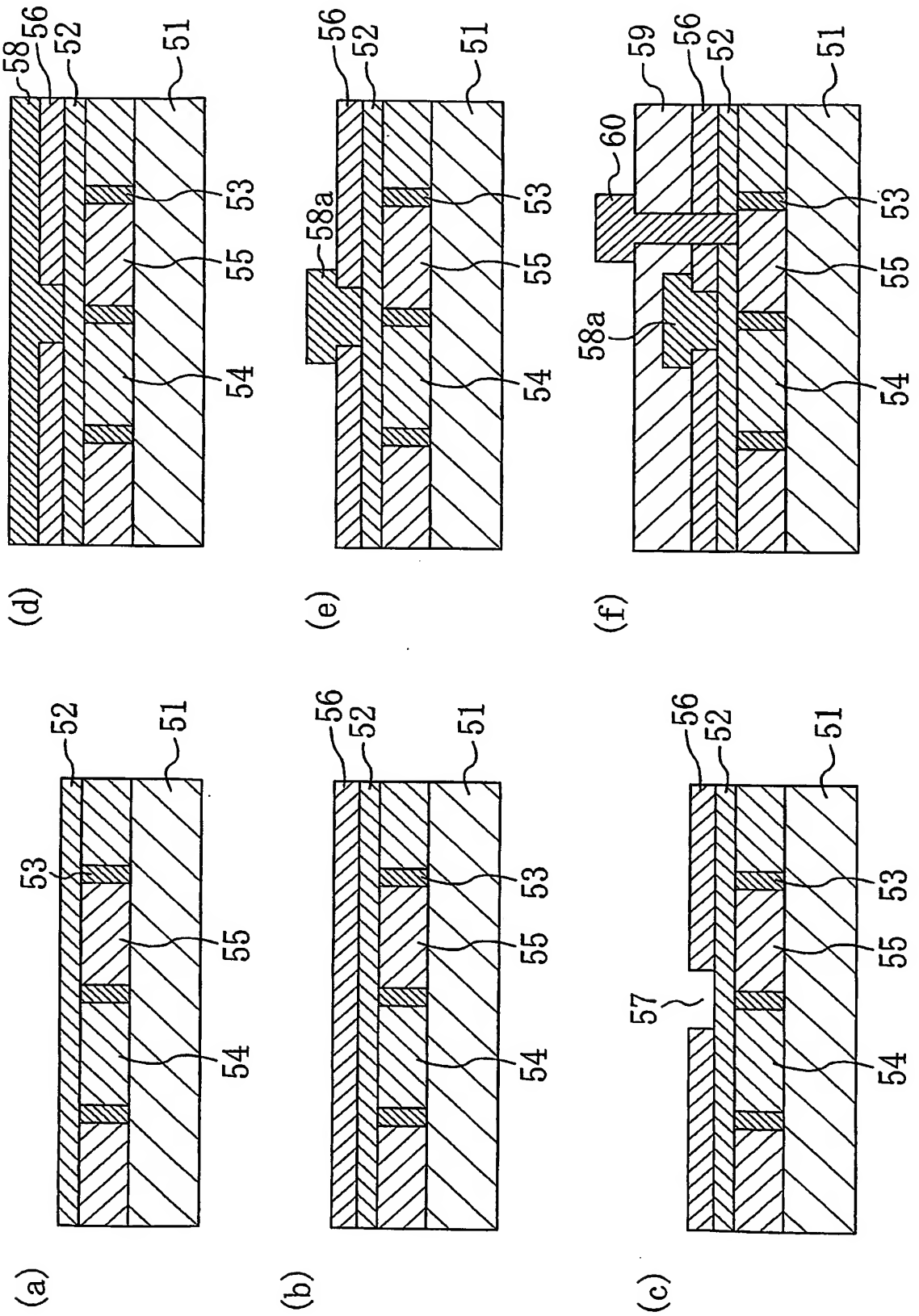
【図 3】



【図 4】



【図 5】



## 【書類名】要約書

## 【要約】

【課題】素子分離用領域の分離能力を確保しつつ微細化が可能であり、低暗電流および白キズ数の低減を実現できる固体撮像装置とその製造方法を提供する。

【解決手段】本発明の固体撮像装置の製造方法では、シリコン基板 1 の上に、パッド絶縁膜 2 と耐酸化性膜 3 とを形成し、パターニングを行うことにより、素子分離用領域を開口する開口 4 を形成する。次に、エッチングを行うことにより、シリコン基板 1 にトレンチを形成する。次に、トレンチ 5 内に p 型不純物（図示せず）を注入した後に内壁絶縁膜 6 を形成する。次に、水素雰囲気下で 1 0 0 0 度以上 1 2 0 0 度以下の温度で熱処理を行うと、トレンチ 5 の上部がシリコン 8 により覆われ、トレンチ 5 の内部に空洞 7 が形成される。次に、シリコン 8 に対して p 型不純物を注入する。

【選択図】図 1

特願 2 0 0 4 - 0 1 0 7 2 3

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000129

International filing date: 07 January 2005 (07.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-010723  
Filing date: 19 January 2004 (19.01.2004)

Date of receipt at the International Bureau: 10 March 2005 (10.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse